

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **05275685 A**

(43) Date of publication of application: **22.10.93**

(51) Int. Cl.

H01L 29/74
H01L 29/784

(21) Application number: **04073709**

(22) Date of filing: **30.03.92**

(71) Applicant: **MITSUBISHI ELECTRIC CORP**

(72) Inventor: **TERAJIMA TOMOHIDE**

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

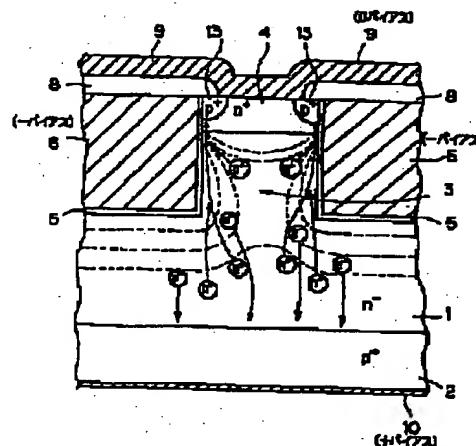
in switching loss and enhanced in switching speed as kept low in ON-state voltage.

(57) Abstract

COPYRIGHT: (C)1993,JPO&Japio

PURPOSE: To obtain a semiconductor device which is low in ON-state voltage, high in switching speed, and small in switching loss.

CONSTITUTION: An N^+ epitaxial layer 1 provided with a P^+ substrate 2 and a projection 3, an N^+ diffusion region 4, and a P^+ diffusion region 13 are formed between electrodes 9 and 10, and control electrodes 6 are formed on an insulating film 5 sandwiching the N^+ diffusion region 4 and the projection 3 between them. With the electrode 10 at a higher potential than the electrode 9, the potential at the control electrodes 6 is varied whereby a potential barrier is generated or conductivity modulation is produced inside the N^+ epitaxial layer 1, so that a semiconductor device is turned ON or OFF. By this setup, holes injected at a turn-OFF time are extracted through the P^+ diffusion region 13, and the P^+ diffusion region 13 is lessened in resistance and distance without changing the N^+ diffusion region 4 in area when the holes are drawn out. Therefore, a semiconductor device can be lessened



[0024]

FIG. 1 is a plan view and FIG. 2 is a cross sectional view, showing the structure of a semiconductor device according to a first embodiment of the invention. In the figures, the reference numeral "1" signifies an n^- epitaxial layer, the reference numeral "2" signifies a p^+ substrate, the reference numeral "3" signifies a convex portion formed on the surface of the n^- epitaxial layer 1, the reference numeral "4" signifies an n^+ diffusion region formed on the upper surface of the convex portion 3, the reference numeral "5" signifies an insulation film formed on the bottom surface and the right and left side surfaces of the convex portion 3 of the n^- epitaxial layer 1 and right and left side surfaces of the n^+ diffusion region 4, the reference numeral "6" signifies two gate electrodes arranged on the right and left sides of the convex portion 3, the reference numeral "8" signifies an insulation film, the reference numeral "7" signifies a p^+ diffusion region provided so as to contact an end portion of the n^+ diffusion region 4, the reference numeral "13" signifies a p^+ diffusion region formed in the surface of the n^+ diffusion region 4 so as to contact the insulation film 5, the reference numeral "9" signifies an Al-Si electrode formed so as to contact the n^+ diffusion region 4 and the p^+ diffusion region 13, and the reference numeral "10" signifies a metal electrode which contacts the p^+ substrate 2. In order to make it easier to understand the structure of the invention, FIG. 1 is the plan view showing the structure without the electrode 9 and the insulation film 8. FIG. 2 is the cross sectional view taken along line Y-Y in FIG. 1, and shows the electrodes and the like which are not shown in FIG. 1.

[0025]

Next, the operation of the semiconductor device will be described with reference to FIG. 3 to FIG. 5. In FIG. 3, when the potential of the control electrode 6 with respect to the potential of the electrode 9 is decreased while the potential of the electrode 10 with respect to the potential of the electrode 9 is increased, depletion layers extending from the control electrodes 6 contact each other, whereby a potential barrier is generated in the convex portion 3 of the n^- epitaxial layer 1 located between the control electrodes 6. Therefore, an electron is prevented from flowing from the electrode 9 to the electrode 10. Thus, it is possible to prevent an electric current from flowing.

[0026]

Next, when the potential of the control electrode 6 with respect to the potential of the electrode 9 is increased, the potential barrier disappears, and an electron 12 starts flowing from the electrode 9 to the electrode 10. At the same time, holes 11 are injected from the p^+ substrate 2, and conductivity modulation is caused in the n epitaxial layer 1. As shown in FIG. 4, since the injected holes 11 are re-connected in the n epitaxial layer 1 or the n^+ diffusion region 4, conductivity modulation can be sufficiently caused. Thus, the semiconductor device can be turned ON. At this time, the entire surface of the n^+ diffusion region 4 contacting the n epitaxial layer 1 is used. Therefore, an ON-voltage is not increased as compared to the conventional cases.

[0027]

Next, when the potential of the control electrode 6 with respect to the potential of the electrode 9 is decreased again, a potential barrier is caused again in the convex portion 3 located between the control electrodes 6, and an electronic current is prevented from flowing from the electrode 9 to the electrode 10. At the same time, as shown in FIG. 5, the injected holes 11 move so as to accumulate on the surface of the insulation film 5, permeate through a p inversion layers formed on the side surfaces of the n^+ diffusion region 4 facing the electrodes 6, and extracted from the p^+ diffusion region 13 to the electrode 9. Thus, the semiconductor device can be turned OFF.

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-275685

(43)公開日 平成5年(1993)10月22日

(51)IntCl⁵

H 0 1 L 29/74

識別記号

C

D

庁内整理番号

9168-4M

F. I

H 0 1 L 29/ 78

技術表示箇所

3 2 1 J

29/784

審査請求 未請求 請求項の数6(全 22 頁)

(21)出願番号 特願平4-73709

(22)出願日 平成4年(1992)3月30日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 寺島 知秀

福岡市西区今宿東1丁目1番1号 三菱電
機株式会社福岡製作所内

(74)代理人 弁理士 高田 守

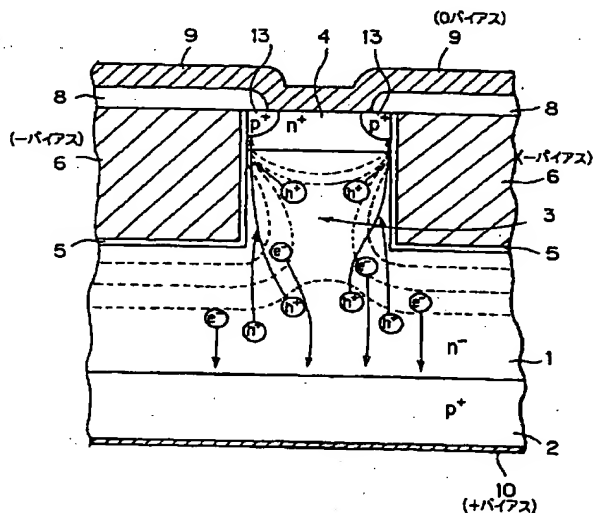
(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】 (修正有)

【目的】 オン電圧が低く、スイッチングスピードが速く、スイッチングロス小さい半導体装置を得る。

【構成】 電極9、10の間にp⁺基板2と凸部3を有するn⁻エピタキシャル層1とn⁺拡散領域4とp⁺拡散領域13が形成されており、凸部3とn⁺拡散領域4を挟んで絶縁膜5の上に制御電極6が形成されている。電極9に対して電極10の電位を上げた状態で、制御電極6の電位を上下することによって、n⁻エピタキシャル層1でポテンシャルバリアーが生じたり、伝導度変調を起こしたりすることにより半導体装置がターンオフ、ターンオン状態になる。

【効果】 n⁺拡散領域4の面積を変えずに、ターンオフ時に注入されたホールがp⁺拡散領域13を介して引き抜かれ、ホールを引き抜くときの抵抗が小さく距離が短くなる。従ってオン電圧を低く保ったまま、スイッチングロスが小さくスイッチングスピードが速くなる。



1

【特許請求の範囲】

【請求項1】 第1主面と第2主面とを有する第1導電型の第1の半導体層と、
 前記第1の半導体層の前記第1主面上に形成された第2導電型の第2の半導体層とを備え、
 前記第1の半導体層は前記第2主面上に選択的に形成された凸部を有し、
 前記凸部の上面に形成された前記第1の半導体層より低抵抗の第1導電型の第1の半導体領域と、
 前記第1の半導体層の前記凸部及び前記第1の半導体領域の一方側面に形成された第1の絶縁膜と、
 前記第1の絶縁膜上に形成された第1の制御電極と、
 前記一方側面に対向する前記凸部及び前記第1の半導体領域の他方側面に形成された第2の絶縁膜と、
 前記第2の絶縁膜上に形成された第2の制御電極と、
 前記第1の半導体領域の表面に前記第1の絶縁膜に接して選択的に形成された第2導電型の第2の半導体領域と、
 前記第1の半導体領域の表面に前記第2の絶縁膜に接して選択的に形成された第2導電型の第3の半導体領域と、
 前記第1及び第2の制御電極とは独立し、前記第1、第2及び第3の半導体領域に接して形成された第1の主電極と、
 前記第2の半導体層に接して形成された第2の主電極と、
 をさらに備えた半導体装置。

【請求項2】 第1主面と第2主面とを有する第1導電型の第1の半導体層と、
 前記第1の半導体層の前記第1主面上に形成された第2導電型の第2の半導体層とを備え、
 前記第1の半導体層の前記第2主面上に選択的に形成された凸部を有し、
 前記凸部の上面に形成された前記第1の半導体層より低抵抗の第1導電型の第1の半導体領域と、
 前記第1の半導体層の前記凸部及び前記第1の半導体領域の一方側面に形成された第1の絶縁膜と、
 前記第1の絶縁膜上に形成された第1の制御電極と、
 前記一方側面に対向する前記凸部及び前記第1の半導体領域の他方側面に形成された第2の絶縁膜と、
 前記第2の絶縁膜上に形成された第2の制御電極と、
 前記第1及び第2の絶縁膜に共に接するように、前記第1の半導体領域表面に選択的に形成され、該第1及び第2の絶縁膜に沿って並んだ複数の独立した離散的な領域よりなる第2導電型の第2の半導体領域と、
 前記第1及び第2の制御電極とは独立し、前記第1及び第2の半導体領域に接して形成された第1の主電極と、
 前記第2の半導体層に接して形成された第2の主電極と、
 をさらに備えた半導体装置。

2

【請求項3】 第1主面と第2主面とを有する第1導電型の第1の半導体層と、
 前記第1の半導体層の前記第1主面上に形成された第2導電型の第2の半導体層と、
 前記第1の半導体層の前記第2主面上に選択的に形成された第2導電型の第1の半導体領域と、
 前記第1の半導体領域の表面に選択的に形成された前記第1の半導体層より低抵抗の第1導電型の第2の半導体領域と、
 前記第1の半導体領域及び前記第2の半導体領域の一方側面に形成された第1の絶縁膜と、
 前記第1の絶縁膜上に形成された第1の制御電極と、
 前記一方側面に対向する前記第1及び第2の半導体領域の他方側面に形成された第2の絶縁膜と、
 前記第2の絶縁膜上に形成された第2の制御電極と、
 前記第1の半導体領域の表面に前記第1の絶縁膜に接して選択的に形成された第2導電型の第3の半導体領域と、
 前記第1の半導体領域の表面に前記第2の絶縁膜に接して選択的に形成された第2導電型の第4の半導体領域と、
 前記第1及び第2の制御電極とは独立し、前記第2、第3及び第4の半導体領域に接して形成された第1の主電極と、
 前記第2の半導体層に接して形成された第2の主電極と、
 を備えた半導体装置。

【請求項4】 第1主面と第2主面とを有する第1導電型の第1の半導体層と、
 前記第1の半導体層の前記第1主面上に形成された第2導電型の第2の半導体層と、
 前記第1の半導体層の前記第2主面上に選択的に形成された第2導電型の第1の半導体領域と、
 前記第1の半導体領域表面に選択的に形成された前記第1の半導体層より低抵抗の第1導電型の第2の半導体領域と、
 前記第1の半導体領域及び前記第2の半導体領域の一方側面に形成された第1の絶縁膜と、
 前記第1の絶縁膜上に形成された第1の制御電極と、
 前記一方側面に対向する前記第1及び第2の半導体領域の他方側面に形成された第2の絶縁膜と、
 前記第2の絶縁膜上に形成された第2の制御電極と、
 前記第1及び第2の絶縁膜に共に接するように、前記第1の半導体領域表面に選択的に形成され、該第1及び第2の絶縁膜に沿って並んだ複数の独立した離散的な領域よりなる第2導電型の第3の半導体領域と、
 前記第1及び第2の制御電極とは独立し、前記第2及び第3の半導体領域に接して形成された第1の主電極と、
 前記第2の半導体層に接して形成された第2の主電極と、
 を備えた半導体装置。

を備えた半導体装置。

【請求項5】 (a) 第1主面と第2主面とを有する第1導電型の第1の半導体層の前記第1主面上に第2導電型の第2の半導体層を形成する工程と、

(b) 前記第1の半導体層の前記第2主面上に選択的に凸部を形成する工程と、

(c) 前記第1の半導体層の前記凸部の上面に該第1の半導体層より低抵抗の第1導電型の第1の半導体領域を選択的に形成する工程と、

(d) 前記第1の半導体層の前記凸部及び前記第1の半導体領域の一方側面に第1の絶縁膜を形成する工程と、

(e) 前記第1の絶縁膜上に第1の制御電極を形成する工程と、

(f) 前記一方側面对向する前記凸部及び前記第1の半導体領域の他方側面に第2の絶縁膜を形成する工程と、

(g) 前記第2の絶縁膜上に第2の制御電極を形成する工程と、

(h) 前記第1の半導体領域の表面に第2導電型の第2の半導体領域を前記第1の絶縁膜に接して選択的に形成する工程と、

(i) 前記第1の半導体領域の表面に第2導電型の第3の半導体領域を前記第2の絶縁膜に接して選択的に形成する工程と、

(j) 前記第1及び第2の制御電極とは独立し、前記第1、第2及び第3の半導体領域に接した第1の主電極を形成する工程と、

(k) 前記第2の半導体層に接した第2の主電極を形成する工程と、

を備えた半導体装置の製造方法。

【請求項6】 前記工程(b)と前記工程(c)と前記工程(h)と前記工程(i)が、前記第1の半導体層の前記第2主面に選択的に第1導電型の不純物を拡散して該第1の半導体層より低抵抗の前記第1の半導体領域を形成する工程と、

該第1の半導体領域の表面に選択的に第2導電型の不純物を拡散して同時に前記第2及び第3の半導体領域を形成する工程と、

前記第1、第2及び第3の半導体領域と前記第1の半導体層の一部を選択的に同時にエッチングして該第1、第2及び第3の半導体領域と該第1の半導体層が凸状になるように一対の溝を形成する工程とを備え、

前記工程(d)と前記工程(f)が、

前記一対の溝の表面に絶縁膜を形成することにより前記第1及び第2の絶縁膜を同時に形成する工程を備え、

前記工程(e)と前記工程(g)が、

前記絶縁膜が形成された前記一対の溝内に導電体を形成することにより前記第1及び第2の制御電極を同時に形成する工程を備えた請求項5記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、制御電極の電圧によって動作する半導体装置に関し、特にその半導体装置の動作特性を改善するための技術に関するものである。

【0002】

【従来の技術】図30は従来の半導体装置の構造を示す平面図、図31は従来の半導体装置の構造を示す斜視断面図である。図31は図30におけるX-X斜視断面図であり、断面構造を分かりやすくするため制御電極等の一部を省いている。図30及び図31において、1はn⁻エピタキシャル層、2はp⁺基板、3はn⁻エピタキシャル層1の表面に形成された凸部、4はn⁻エピタキシャル層1の表面に形成された凸部3の上面に形成されたn⁺拡散領域、5は凸部3及びn⁺拡散領域4の側面に形成された絶縁膜、6は凸部3及びn⁺拡散領域4を挟んで絶縁膜5の上に形成された一対の制御電極、7はn⁺拡散領域4の終端部のn⁻エピタキシャル層1に形成されたp⁺拡散領域、8はp⁺拡散領域の一部、n⁺拡散領域4の一部及び制御電極6の上に形成された絶縁膜、9はn⁺拡散領域4及びp⁺拡散領域7にコンタクトするように形成され他の部分とは絶縁膜8で分離されているAl-Si電極、10はp⁺基板2にコンタクトしている金属電極である。

【0003】次に、この半導体装置の動作を図32乃至図34を用いて説明する。図32において、電極9に対する電極10の電位を上げた状態で電極9に対する制御電極6の電位を下げていくと、制御電極6の間にあるn⁻エピタキシャル層1の凸部3に、制御電極6から伸びる空乏層が互いに接することによりポテンシャルバリアーが生じる。そのため、電極9から電極10に向かって電子が流れなくなる。このようにして、電流阻止状態にすることができる。

【0004】次に、電極9に対する制御電極6の電位を上げていくと、前記ポテンシャルバリアーは消失し、電極9から電極10に向かって電子12が流れ始める。これと同時にp⁺基板2からホール11が注入され、n⁻エピタキシャル層1で伝導度変調を起こす。図33に示すように、注入されたホール11は、n⁻エピタキシャル層1もしくはn⁺拡散領域4で再接合するか、またはp⁺拡散領域7に吸収される。このようにして、半導体装置がターンオンすることができる。

【0005】次に、電極9に対する制御電極6の電位を再び下げていくと、制御電極6の間の凸部3に再びポテンシャルバリアーが生じ、電子電流が電極9から電極10に向かって流れなくなってくる。そして、図34に示すように、この時同時に、注入されたホール11は絶縁膜5の表面に蓄積するようにして表面部分を伝い、p⁺拡散領域7に転流される。このようにして半導体装置はターンオフすることができる。

【0006】

【発明が解決しようとする課題】従来の半導体装置は以上のように構成されているため、オン電圧を減少せよとして、 p^+ 拡散領域7に対する n^+ 拡散領域4の面積を大きくすると、ターンオフ時のホール11の転流に時間がかかり、スイッチングスピードの低下やスイッチングロスの増大をもたらす。

【0007】逆に、 p^+ 拡散領域7に対する n^+ 拡散領域4の面積を小さくするとスイッチングスピードとスイッチングロスが改善されるが、オン状態で注入されたホール11の多くが p^+ 拡散領域7に転流してしまうため、 n^+ 拡散領域4近傍の n^- エピタキシャル層1が十分な伝導度変調を受けなくなりオン電圧の上昇をもたらす。

【0008】このように、従来の半導体装置ではオン電圧とスイッチングスピード、スイッチングロスがトレードオフの関係にあり、両者を同時に改善することが難しいという問題点があった。

【0009】この発明は上記のような問題点を解決するためになされたもので、オン電圧が低く、スイッチングスピードが速く、スイッチングロスが小さい半導体装置を得ることを目的とする。

【0010】

【課題を解決するための手段】第1の発明に係る半導体装置は、第1主面と第2主面とを有する第1導電型の第1の半導体層と、前記第1の半導体層の前記第1主面上に形成された第2導電型の第2の半導体層とを備え、前記第1の半導体層は前記第2主面上に選択的に形成された凸部を有し、前記凸部の上面に形成された前記第1の半導体層より低抵抗の第1導電型の第1の半導体領域と、前記第1の半導体層の前記凸部及び前記第1の半導体領域の一方側面に形成された第1の絶縁膜と、前記第1の絶縁膜上に形成された第1の制御電極と、前記一方側面に対向する前記凸部及び前記第1の半導体領域の他方側面に形成された第2の絶縁膜と、前記第2の絶縁膜上に形成された第2の制御電極と、前記第1の半導体領域の表面に前記第1の絶縁膜に接して選択的に形成された第2導電型の第2の半導体領域と、前記第1の半導体領域の表面に前記第2の絶縁膜に接して選択的に形成された第2導電型の第3の半導体領域と、前記第1及び第2の制御電極とは独立し、前記第1、第2及び第3の半導体領域に接して形成された第1の主電極と、前記第2の半導体層に接して形成された第2の主電極とをさらに備えて構成されている。

【0011】また、第2の発明に係る半導体装置は、第1主面と第2主面とを有する第1導電型の第1の半導体層と、前記第1の半導体層の前記第1主面上に形成された第2導電型の第2の半導体層とを備え、前記第1の半導体層の前記第2主面上に選択的に形成された凸部を有し、前記凸部の上面に形成された前記第1の半導体層より低抵抗の第1導電型の第1の半導体領域と、前記第1

の半導体層の前記凸部及び前記第1の半導体領域の一方側面に形成された第1の絶縁膜と、前記第1の絶縁膜上に形成された第1の制御電極と、前記一方側面に対向する前記凸部及び前記第1の半導体領域の他方側面に形成された第2の絶縁膜と、前記第2の絶縁膜上に形成された第2の制御電極と、前記第1及び第2の絶縁膜に共に接するように、前記第1の半導体領域表面に選択的に形成され、該第1及び第2の絶縁膜に沿って並んだ複数の独立した離散的な領域よりなる第2導電型の第2の半導体領域と、前記第1及び第2の制御電極とは独立し、前記第1及び第2の半導体領域に接して形成された第1の主電極と、前記第2の半導体層に接して形成された第2の主電極とをさらに備えて構成されている。

【0012】また、第3の発明に係る半導体装置は、第1主面と第2主面とを有する第1導電型の第1の半導体層と、前記第1の半導体層の前記第1主面上に形成された第2導電型の第2の半導体層と、前記第1の半導体層の前記第2主面上に選択的に形成された第2導電型の第1の半導体領域と、前記第1の半導体領域の表面に選択的に形成された前記第1の半導体層より低抵抗の第1導電型の第2の半導体領域と、前記第1の半導体領域及び前記第2の半導体領域の一方側面に形成された第1の絶縁膜と、前記第1の絶縁膜上に形成された第1の制御電極と、前記一方側面に対向する前記第1及び第2の半導体領域の他方側面に形成された第2の絶縁膜と、前記第2の絶縁膜上に形成された第2の制御電極と、前記第1の半導体領域の表面に前記第1の絶縁膜に接して選択的に形成された第2導電型の第3の半導体領域と、前記第1の半導体領域の表面に前記第2の絶縁膜に接して選択的に形成された第2導電型の第4の半導体領域と、前記第1及び第2の制御電極とは独立し、前記第2、第3及び第4の半導体領域に接して形成された第1の主電極と、前記第2の半導体層に接して形成された第2の主電極とを備えて構成されている。

【0013】また、第4の発明に係る半導体装置は、第1主面と第2主面とを有する第1導電型の第1の半導体層と、前記第1の半導体層の前記第1主面上に形成された第2導電型の第2の半導体層と、前記第1の半導体層の前記第2主面上に選択的に形成された第2導電型の第1の半導体領域と、前記第1の半導体領域表面に選択的に形成された前記第1の半導体層より低抵抗の第1導電型の第2の半導体領域と、前記第1の半導体領域及び前記第2の半導体領域の一方側面に形成された第1の絶縁膜と、前記第1の絶縁膜上に形成された第1の制御電極と、前記一方側面に対向する前記第1及び第2の半導体領域の他方側面に形成された第2の絶縁膜と、前記第2の絶縁膜上に形成された第2の制御電極と、前記第1及び第2の絶縁膜に共に接するように、前記第1の半導体領域表面に選択的に形成され、該第1及び第2の絶縁膜に沿って並んだ複数の独立した離散的な領域よりなる第

2導電型の第3の半導体領域と、前記第1及び第2の制御電極とは独立し、前記第2及び第3の半導体領域に接して形成された第1の主電極と、前記第2の半導体層に接して形成された第2の主電極とを備えて構成されている。

【0014】また、第5の発明に係る半導体装置の製造方法は、(a)第1主面と第2主面とを有する第1導電型の第1の半導体層の前記第1主面上に第2導電型の第2の半導体層を形成する工程と、(b)前記第1の半導体層の前記第2主面上に選択的に凸部を形成する工程と、(c)前記第1の半導体層の前記凸部の上面に該第1の半導体層より低抵抗の第1導電型の第1の半導体領域を選択的に形成する工程と、(d)前記第1の半導体層の前記凸部及び前記第1の半導体領域の一方側面に第1の絶縁膜を形成する工程と、(e)前記第1の絶縁膜上に第1の制御電極を形成する工程と、(f)前記一方側面に対向する前記凸部及び前記第1の半導体領域の他方側面に第2の絶縁膜を形成する工程と、(g)前記第2の絶縁膜上に第2の制御電極を形成する工程と、

(h)前記第1の半導体領域の表面に第2導電型の第2の半導体領域を前記第1の絶縁膜に接して選択的に形成する工程と、(i)前記第1の半導体領域の表面に第2導電型の第3の半導体領域を前記第2の絶縁膜に接して選択的に形成する工程と、(j)前記第1及び第2の制御電極とは独立し、前記第1、第2及び第3の半導体領域に接した第1の主電極を形成する工程と、(k)前記第2の半導体層に接した第2の主電極を形成する工程とを備えて構成されている。

【0015】また、第6の発明に係る半導体装置の製造方法は、前記工程(b)と前記工程(c)と前記工程(h)と前記工程(i)が、前記第1の半導体層の前記第2主面に選択的に第1導電型の不純物を拡散して該第1の半導体層より低抵抗の前記第1の半導体領域を形成する工程と、該第1の半導体領域の表面に選択的に第2導電型の不純物を拡散して同時に前記第2及び第3の半導体領域を形成する工程と、前記第1、第2及び第3の半導体領域と前記第1の半導体層の一部を選択的に同時にエッチングして該第1、第2及び第3の半導体領域と該第1の半導体層の第2主面が凸状になるように一対の溝を形成する工程とを備え、前記工程(d)と前記工程(f)が、前記一対の溝の表面に絶縁膜を形成することにより前記第1及び第2の絶縁膜を同時に形成する工程を備え、前記工程(e)と前記工程(g)が、前記絶縁膜が形成された前記一対の溝内に導電体を形成することにより前記第1及び第2の制御電極を同時に形成する工程を備えて構成されている。

【0016】

【作用】第1の発明における第2導電型の第2の半導体領域と第2導電型の第3の半導体領域とは、第1及び第2の制御電極を第1の主電極に対して適当にバイアスす

ることにより半導体装置をターンオフするとき、第1及び第2の制御電極に対面する第1の半導体領域に形成される反転層を通して注入されたキャリアを引き抜く役割を果たす。従って、キャリアが引き抜かれるときの抵抗が小さく、引き抜かれるキャリアが移動する距離が短くなるので、スイッチングロスが小さく、かつスイッチングスピードも速くなる。そして、第1の半導体領域の全体がターンオンとターンオフに使われるため、キャリアの転流が少なく、伝導度変調を起こさせる第1の半導体領域の面積効率がよいので、オン電圧の上昇を防ぐことができる。

【0017】また、第2の発明における第2導電型の第2の半導体領域は、第1及び第2の制御電極を第1の主電極に対して適当にバイアスすることにより半導体装置をターンオフするとき、第1及び第2の制御電極に対面する第1の半導体領域に形成される反転層を通して注入されたキャリアを引き抜く役割を果たす。従って、キャリアが引き抜かれるときの抵抗が小さく、引き抜かれるキャリアが移動する距離が短くなるので、スイッチングロスが小さく、かつスイッチングスピードも速くなる。そして、第1の半導体領域の全体がターンオンとターンオフに使われるため、キャリアの転流が少なく、伝導度変調を起こさせる第1の半導体領域の面積効率がよいので、オン電圧の上昇を防ぐことができる。

【0018】また、第3の発明における第2導電型の第3の半導体領域と第2導電型の第4の半導体領域とは、第1及び第2の制御電極を第1の主電極に対して適当にバイアスすることにより半導体装置をターンオフするとき、第1及び第2の制御電極に対面する第2の半導体領域に形成される反転層を通して注入されたキャリアを引き抜く役割を果たす。従って、キャリアが引き抜かれるときの抵抗が小さく、引き抜かれるキャリアが移動する距離が短くなるので、スイッチングロスが小さく、かつスイッチングスピードも速くなる。そして、第2の半導体領域の全体がターンオンとターンオフに使われるため、キャリアの転流が少なく、伝導度変調を起こさせる第2の半導体領域の面積効率がよいので、オン電圧の上昇を防ぐことができる。

【0019】さらに、第2導電型の第1の半導体領域と第1導電型の第1の半導体層の間で直接耐圧を保持するため半導体装置を薄くすることができる。また、例えば第1の半導体領域の不純物濃度を調整することにより、第1及び第2の制御電極をバイアスしない状態で半導体装置をオフ状態にすることもできる。

【0020】また、第4の発明における第2導電型の第3の半導体領域は、第1及び第2の制御電極を第1の主電極に対して適当にバイアスすることにより半導体装置をターンオフするとき、第1及び第2の制御電極に対面する第2の半導体領域に形成される反転層を通して注入されたキャリアを引き抜く役割を果たす。従って、キャ

リアが引き抜かれるときの抵抗が小さく、引き抜かれるキャリアが移動する距離が短くなるので、スイッチングロスが小さく、かつスイッチングスピードも速くなる。そして、第2の半導体領域の全体がターンオンとターンオフに使われるため、キャリアの転流が少なく、伝導度変調を起こさせる第2の半導体領域の面積効率がよいので、オン電圧の上昇を防ぐことができる。

【0021】さらに、第2導電型の第1の半導体領域と第1導電型の第1の半導体層の間で直接耐圧を保持するため半導体装置を薄くすることができる。また、例えば

第1の半導体領域の不純物濃度を調整することにより、第1及び第2の制御電極をバイアスしない状態で半導体装置をオフ状態にすることもできる。

【0022】また、第5の発明の半導体装置の製造方法における前記第1の半導体領域の表面に第2導電型の第2の半導体領域を前記第1の絶縁膜に接して選択的に形成する工程と、前記第1の半導体領域の表面に第2導電型の第3の半導体領域を前記第2の絶縁膜に接して選択的に形成する工程とは、第1の半導体領域の表面に第2及び第3の半導体領域を形成するため、例えばイオン注入法等により第2及び第3の半導体領域を容易に形成することができる。

【0023】また、第6の発明の半導体装置の製造方法における第1の半導体領域の表面に選択的に第2導電型の不純物を拡散して同時に前記第2及び第3の半導体領域を形成する工程は、第1の半導体領域の表面に第2導電型の半導体領域を不純物の拡散で形成するため、第2及び第3の半導体領域を同時に、かつ容易に形成することができる。

【0024】

【実施例】以下、この発明の第1実施例について図1乃至図5を用いて説明する。図1及び図2はこの発明の第1実施例による半導体装置の構造を示す平面図及び断面図である。図において、1は n^- エピタキシャル層、2は p^+ 基板、3は n^- エピタキシャル層1の表面に形成された凸部、4は凸部3の上面に形成された n^+ 拡散領域、5は n^- エピタキシャル層1の凸部3の下面と左右の側面及び n^+ 拡散領域4の左右の側面に形成された絶縁膜、6は凸部3の左右にある2つのゲート電極、8は絶縁膜、7は n^+ 拡散領域4の終端部に設けられた p^+ 拡散領域、13は n^+ 拡散領域4の表面に絶縁膜5に接するように形成された p^+ 拡散領域、9は n^+ 拡散領域4及び p^+ 拡散領域13にコンタクトするように形成された $Al-Si$ 電極、10は p^+ 基板2にコンタクトしている金属電極である。なお、図1には、この発明の構造を分かりやすくするために電極9及び絶縁膜8を除いた平面図を示し、図2には、図1のY-Y断面図を、図1で省かれていた電極等も記載して示してある。

【0025】次に、この半導体装置の動作を図3乃至図5を用いて説明する。図3において、電極9に対する電

極10の電位を上げた状態で電極9に対する制御電極6の電位を下げていくと、制御電極6の間にある n^- エピタキシャル層1の凸部3に、制御電極6から伸びる空乏層が互いに接することによりポテンシャルバリアーが生じる。そのため、電極9から電極10に向かって電子が流れなくなる。このようにして、電流阻止状態にすることができる。

【0026】次に、電極9に対する制御電極6の電位を上げていくと、前記ポテンシャルバリアーは消失し、電極9から電極10に向かって電子12が流れ始める。これと同時に p^+ 基板2からホール11が注入され、 n^- エピタキシャル層1で伝導度変調を起こす。図4に示すように、注入されたホール11は、 n^- エピタキシャル層1もしくは n^+ 拡散領域4で再接合するので、十分に伝導度変調を起こすことができる。このようにして、半導体装置をターンオンすることができる。この時 n^+ 拡散領域4の n^- エピタキシャル層1に接する面が全て使われており、従来に比べてオン電圧の上昇はない。

【0027】次に、電極9に対する制御電極6の電位を再び下げていくと、制御電極6の間の凸部3に再びポテンシャルバリアーが生じ、電子電流が電極9から電極10に向かって流れなくなってくる。そして、図5に示すように、この時同時に、注入されたホール11は絶縁膜5の表面に蓄積するようにして表面を伝い、電極6と対面する n^+ 拡散領域4の側面に形成された p 反転層を通して、 p^+ 拡散領域13から電極9へと引き抜かれる。このようにして半導体装置はターンオフすることができる。従って、ホール11が引き抜かれるときの抵抗が小さく、引き抜かれるホール11が移動する距離が短くなるので、スイッチングロスが小さく、かつスイッチングスピードも速くなる。

【0028】このような構造を有する半導体装置では、 n^+ 拡散領域4を大きくしてオン電圧を下げて、 p^+ 拡散領域13を適当に形成すれば、ホール11を引き抜くときの抵抗及び距離にはあまり影響せず、スイッチングロスが小さく、スイッチングスピードも速く、かつオン電圧の低い半導体装置を形成することが可能となる。なお、図において点線は等電位線を示している。また、従来ホール11の引き抜きに用いられていた p^+ 拡散領域7は、終端部分の電界集中の緩和に寄与し、ホール11の引き抜きの役目は殆ど果たしていない。

【0029】次に、この発明の第2実施例について図6乃至図8を用いて説明する。図6は第2実施例による半導体装置の断面図である。図において、14は n^- エピタキシャル層1の一方主面に形成された p^+ 拡散領域で、金属電極10にコンタクトしている。また、金属電極10は n^- エピタキシャル層1にもコンタクトしている。そして、他の第1実施例と同一符号の部分は第1実施例と同一もしくは相当部分を示す。

【0030】まず、電流阻止状態における動作が第1実

施例の半導体装置と同様である。そして、電流阻止状態から電極9に対する制御電極6の電位を上げていくと、ポテンシャルバリアーは消失し、電極10に向かって電子が流れはじめる。この電子電流による電圧降下でp⁺ 拡散領域14とn⁻ エピタキシャル層1の間に順バイアス加わり、p⁺ 拡散領域14からホール11が注入され、n⁻ エピタキシャル層1で伝導度変調を起こす。図7に示すように、注入されたホール11は、ほとんど全てn⁻ エピタキシャル層1若しくはn⁺ 拡散領域4で再結合するので、十分に伝導度変調を起こすことができる。このようにして、半導体装置はターンオンすることができる。

【0031】次に、電極9に対する制御電極6の電位を再び下げていくと、電極6の間の凸部3に再びポテンシャルバリアーが生じ、電子電流が電極9から電極10に向かって流れなくなってくる。同時に、図8に示すように、注入されたホール11は絶縁膜5の表面に蓄積するようにして表面を伝い、制御電極6と対面するn⁺ 拡散領域4の側面に形成されたp反転層を通して、p⁺ 拡散領域13から電極9へと引き抜かれる。このようにして

ターンオフすることができる。
【0032】また、ターンオフ時においてp⁺ 拡散領域14からの注入が速い時点で止まることと、n⁻ エピタキシャル層1内の電子電流は電極10とn⁻ エピタキシャル層1が接している部分を主として流れることとにより、ターンオフスピードを速くし、ターンオフロスを少なくすることができる。

【0033】次に、この発明の第3実施例について図9を用いて説明する。図9はこの発明の第3実施例による半導体装置の断面図である。図において、15はp⁺ 基板2の表面に形成されたn⁺ 領域、16はp⁺ 基板上に形成されたn⁻ 半導体層である。そして、金属電極10は、p⁺ 基板2とn⁺ 領域15の両方にコンタクトしている。なお、他の第1実施例と同一符号は第1実施例と同一もしくは相当部分を示す。

【0034】図9に示した半導体装置の電極9に対する電極10の電位を上げた状態で、電極9に対する制御電極6の電位を下げていくと、電極5の間のn⁻ エピタキシャル層1の凸部3に、空乏化により電子のエネルギーに対してポテンシャルバリアーが生じるため、電極9から電極10に向かって電子が流れなくなる。空乏層がn⁺ 半導体層16に達している場合には、n⁺ 半導体層16は空乏層がp⁺ 基板1に達するのを防ぐ機能を持つ。そして、他の実施例にn⁺ 半導体層16を用いても同様の効果を奏する。このようにして電流阻止状態にすることができる。

【0035】次に、電極9に対する制御電極6の電位を上げていくと、前記ポテンシャルバリアーは消失し、電極9から電極10に向かって電子が流れはじめる。これと同時に、p⁺ 基板2からホール11が注入され、n⁻

エピタキシャル層1で伝導度変調を起こす。注入されたホール11は、ほとんど全てn⁻ エピタキシャル層1もしくはn⁺ 半導体領域4で再結合するので、十分に伝導度変調を起こすことができる。このようにして、半導体装置をターンオンすることができる。

【0036】ここで、n⁺ 半導体層16はホール11の注入を抑える働きがあり、一般にはこの部分の構造で、ホール11の注入量の最適化を行っている。一方、n⁺ 領域15は高電流密度においてホール11の注入を抑える働きがある。従って、n⁺ 領域15とn⁺ 半導体層16を組み合わせることにより、定格電流以下ではより電流が流れやすく、定格電流以上は流れにくく半導体装置が破壊しにくい特性が得られる。

【0037】次に、電極9に対する制御電極6の電位を再び下げていくと、制御電極6の間のn⁻ エピタキシャル層1の凸部3にポテンシャルバリアーが生じ、電子電流が電極9から電極10に向かって流れなくなってくる。同時に、注入されたホール11は、絶縁膜5の表面に蓄積するようにして表面を伝い、制御電極6と対面するn⁺ 拡散領域4の側面に形成されたp反転層を通して、p⁺ 拡散領域13から電極9へと引き抜かれる。このようにして半導体装置はターンオフすることができる。

【0038】次に、この発明の第4実施例について図10を用いて説明する。図10はこの発明の第4実施例による半導体装置の断面図である。図において、17は絶縁膜6とn⁻ エピタキシャル層1との間に形成されたp 拡散領域である。なお、他の第1実施例と同一符号は第1実施例と同一もしくは相当部分を示す。

【0039】図10に示した半導体装置の電極9に対する電極10の電位を上げた状態で、電極9に対する制御電極6の電位を下げていくと、電極5の間のn⁻ エピタキシャル層1の凸部3に、空乏化により電子のエネルギーに対してポテンシャルバリアーが生じるため、電極9から電極10に向かって電子が流れなくなる。このようにして電流阻止状態にすることができる。このときp 拡散領域17は絶縁膜5とn⁻ エピタキシャル層1の間の電界を緩和するので半導体装置がターンオフしたときの耐圧がより出やすくなる。この様子を図11に示す。図11(a)がp 拡散層17がない場合の制御電極6付近の等電位線、図11(b)がp 拡散層17がある場合の制御電極6付近の等電位線、図11(c)がp 拡散層17がない場合のA-A'に沿った電界の分布を示す図、図11(d)がp 拡散層17がある場合のB-B'に沿った電界の分布を示す図である。この図は理解を助けるための概略図である。そして、この図から分かるように制御電極6の深さを浅くしても耐圧が確保できるようになる。

【0040】次に、電極9に対する制御電極6の電位を上げていくと、前記ポテンシャルバリアーは消失し、電

極9から電極10に向かって電子が流れはじめる。これと同時に、 p^+ 基板2から図4に示すと様にホール11が注入され、 n^- エピタキシャル層1で伝導度変調を起こす。注入されたホール11は、ほとんど全て n^- エピタキシャル層1もしくは n^+ 半導体領域4で再結合するので、十分に伝導度変調を起こすことができる。このようにして、半導体装置をターンオンすることができる。

【0041】次に、電極9に対する制御電極6の電位を再び下げていくと、制御電極6の間の n^- エピタキシャル層1の凸部3に、再びポテンシャルバリアーが生じ、電子電流が電極9から電極10に向かって流れなくなってくる。図5に示すと同時に、注入されたホール11は絶縁膜5の表面の p 拡散領域17に流れこみ、制御電極6と対面する n^+ 拡散領域4の側面に形成された p 反転層を通過して、 p^+ 拡散領域13から電極9へと引き抜かれる。このようにして半導体装置はターンオフすることができる。ここで p 拡散領域17はホール11の引き抜きにおける抵抗を下げるのでターンオフスピードを速くし、ターンオフロスを少なくする効果がある。

【0042】次に、この発明の第5実施例について図12を用いて説明する。図12はこの発明の第5実施例による半導体装置の断面図である。図において、18は n^+ 拡散領域4と n^- エピタキシャル層1の凸部3の上面の間に形成された p^- 領域である。なお、第1実施例と同一符号は第1実施例と同一もしくは相当部分を示す。

【0043】図12に示した半導体装置の電極9に対する電極10の電位を上げた状態で、電極9に対する制御電極6の電位を下げていくと、電極5の間の n^- エピタキシャル層1の凸部3に、空乏化により電子のエネルギーに対してポテンシャルバリアーが生じるため、電極9から電極10に向かって電子が流れなくなる。このようにして電流阻止状態にすることができる。このとき p^- 領域18は空乏層が n^+ 拡散領域4に達するのを防ぐ効果があるので、制御電極6の電圧をあまり下げる必要がなくなり、ノーマリーオフも可能である。 p^- 領域18の不純物濃度を上げた場合に、 p^- 領域18と n^- エピタキシャル層1の間で直接耐圧が保持できること、すなわちポテンシャルバリアーをつくらずに電流阻止状態にすることが可能となる。そして、 n^- エピタキシャル層1の表面に形成された凸部3をなくした例を図13に示す。このように半導体装置を薄く構成することができる。

【0044】次に、電極9に対する制御電極6の電位を上げていくと、前記ポテンシャルバリアーは消失し、電極9から電極10に向かって電子が流れはじめる。この時、 p^- 領域18が完全に空乏化した場合は n^+ 拡散領域4と p^- 領域18の接合全体から電子の注入が起こる。一方、 p^- 領域18が完全に空乏化していない場合でも p^- 領域18の制御電極6に対面した部分が n 反転

してし、電子電流がこの n 反転層を通過してながれることも可能である。これと同時に、 p^+ 基板2からホール11が注入され、 n^- エピタキシャル層1で伝導度変調を起こす。注入されたホール11は、ほとんど全て n^- エピタキシャル層1、 p^- 領域18もしくは n^+ 半導体領域4で再結合するので、十分に伝導度変調を起こすことができる。この構造の場合は、 $npnp$ のサイリスタ構造になっているのでラッチ特性を示すことも考えられる。このようにして、半導体装置をターンオンすることができる。

【0045】次に、電極9に対する制御電極6の電位を再び下げていくと、制御電極6の間の n^- エピタキシャル層1の凸部3に再びポテンシャルバリアーが生じ、電子電流が電極9から電極10に向かって流れなくなってくる。同時に、注入されたホール11は、絶縁膜5の表面に蓄積するようにして表面を伝い、制御電極6と対面する n^+ 拡散領域4の側面に形成された p 反転層を通過して、 p^+ 拡散領域13から電極9へと引き抜かれる。このようにして半導体装置はターンオフすることができる。

【0046】なお、上記第1から第5実施例では p^+ 拡散領域13が n^- エピタキシャル層1に接していない場合を示したが、例えば、第1実施例のような構造の場合、図14に示すように、 p^+ 拡散領域13が n^- エピタキシャル層1に接していても良く、上記各実施例と同様の効果を奏する。ただしこの場合、ターンオフする際のホール11の引き抜きは、 n^+ 拡散領域4に形成された p 反転層を通過するだけでなく、直接 p^+ 拡散領域13を通過して引き抜かれる。また、第4及び第5実施例では、 p^+ 拡散領域13が直接 p 拡散領域17や p^- 領域18と接しないようにすることが必要である。

【0047】次に、第6の実施例について図15乃至図16を用いて説明する。図15及び図16はこの発明の第6実施例による半導体装置の構造を示す平面図及び断面図である。図において、1は n^- エピタキシャル層、2は p^+ 基板、3は n^- エピタキシャル層1の表面に形成された凸部、4は凸部3の上面に形成された n^+ 拡散領域、5は n^- エピタキシャル層1の凸部3の下面と左右の側面及び n^+ 拡散領域4の左右の側面に形成された絶縁膜、6は凸部3の左右にある2つのゲート電極、8は絶縁膜、7は n^+ 拡散領域4の終端部に設けられた p^+ 拡散領域、20は n^+ 拡散領域4の表面に左右の絶縁膜5に接するように形成された複数の p^+ 拡散領域である。この p^+ 拡散領域20は図に示すように n^+ 拡散領域4にそれぞれ独立して離散的に形成されている。そして、9は n^+ 拡散領域4及び p^+ 拡散領域20にコンタクトするように形成された $Al-Si$ 電極、10は p^+ 基板2コンタクトしている金属電極である。なお、図15には、この発明の構造を分かりやすくするために電極9及び絶縁膜8を除いた平面図を示し、図16には、図

15のZ-Z断面図を、図15で描かれていた制御電極6の一部と絶縁膜5を省き、図15で省かれていた電極等も一部記載して示してある。

【0048】このように、第1実施例の半導体装置とは、 n^- 拡散領域4に形成された p^+ 拡散領域が異なっている。すなわち、第1実施例では、断面図(図2)の凸部3の左右に形成されている絶縁膜5に沿って形成された p^+ 拡散領域13であり、第6実施例では、断面図(図2)の凸部3の左右に形成されている絶縁膜5に共に接して形成された p^- 拡散領域20である。しかし、動作及び効果については、第1実施例と基本的に同様であるが、第1実施例では凸部3の幅が電極9と p^+ 拡散領域13とのコンタクトの余裕によって制限されるが、第6実施例ではコンタクトの余裕をみる必要がないので、凸部3をより細かく形成することが可能となる。このことによって、ターンオフ時のポテンシャルバリアの形成が容易になり、ターンオフスピードをさらに速くし、ターンオフロスをさらに少なくすることができる。

【0049】そのため、第6実施例と第2実施例から第5実施例との組み合わせも可能であり、動作及び効果もそれぞれの実施例と同様である。まず、第6実施例と第2実施例とを組み合わせた場合の断面図を図17に示す。次に、第6実施例と第3実施例とを組み合わせた場合の断面図を図18に示す。次に、第6実施例と第4実施例とを組み合わせた場合の断面図を図19に示す。次に、第6実施例と第5実施例とを組み合わせた場合の断面図を図20及び図21に示す。

【0050】また、第6実施例についても、 p^+ 拡散領域20が n^- エピタキシャル層1に接していない場合を示したが、例えば、第1実施例のような構造の場合、図22に示すように、 p^+ 拡散領域20が n^- エピタキシャル層1に接していても良く、上記各実施例と同様の効果を奏する。ただしこの場合、ターンオフする際のホール11の引き抜きは、 n^+ 拡散領域4に形成された p 反転層を通るだけでなく、直接 p^+ 拡散領域20を通して引き抜くことも可能である。また、第2から第5実施例との組み合わせについても同様であるが、第4及び第5実施例では、 p^+ 拡散領域20が直接 p 拡散領域17や p^- 領域18と接しないようにすることが必要である。

【0051】次に、図1及び図2に示した半導体装置の製造方法について、図23乃至図29を用いて説明する。まず、 p^+ 基板31上にエピタキシャル成長法により n^- エピタキシャル層32を形成する。

【0052】次に、図23に示すように、 n^- エピタキシャル層31上にレジストを形成したのち、レジストをマスクとして n 型の不純物を注入し、レジスト除去後、アニールを行って、 n^+ 拡散領域33を形成する。

【0053】次に、図24に示すように、 n^+ 拡散領域33上の全面に下敷き酸化膜34を形成し、下敷き酸化膜34の上にレジスト35を形成する。その後、レジ

スト35をパターニングして不純物注入用の窓を開ける。

【0054】次に、図25に示すように、レジスト35に開けた窓から p 型の不純物を注入し、アニールを行い p^+ 拡散領域36を形成する。

【0055】次に、図26に示すように、下敷き酸化膜34及びレジスト35を除去し、改めて下敷き酸化膜37及び窒化膜38を形成する。その後、下敷き酸化膜37及び窒化膜38のパターニングを行う。

【0056】次に、図27に示すように、パターニングされた下敷き酸化膜37及び窒化膜38をマスクとして、 n^- エピタキシャル層32の途中まで深くエッチングして、溝41を選択的に形成する。このエッチングはドライエッチングでも他の異方性エッチングでもよい。

【0057】次に、図28に示すように、溝41の内面に酸化膜39を薄く形成した後、溝41の内部を含む全面にポリシリコンを堆積し、エッチバックを行って溝41の内部のみにポリシリコンを残すことにより、ゲート電極40を形成する。その後、全面に熱酸化法により酸化膜42を形成する。

【0058】次に、図29に示すように、窒化膜38上の酸化膜42の膜厚の薄さを利用して、酸化膜エッチングを行い、窒化膜38だけ露出させ、さらに、窒化膜エッチングを行って窒化膜38を除去する。そして、下敷き酸化膜37をパターニングし、全面にアルミシリコンをスパッタ堆積して電極43を形成する。その後、さらに電極44を形成する。

【0059】なお、図27に示す溝41を形成した後、図35に示すように n^- エピタキシャル層32の表面に p 型不純物を拡散することにより、 p 拡散層45を形成する。このように、図10に示す p 拡散領域17を容易に形成でき、その後は、前記実施例と同様の工程を経て図10に示した第4実施例による半導体装置を容易に形成することができる。このとき、 n^+ 拡散領域33中では n 型不純物の濃度が高いため p 型の領域は形成されない。

【0060】

【発明の効果】以上のように、請求項1記載の発明によれば、半導体装置が第2導電型の第2の半導体領域と第2導電型の第3の半導体領域とを備えて構成されており、前記第2の半導体領域及び第3の半導体領域は、半導体装置をターンオフするとき、第1の半導体領域に形成される反転層を通して注入されたキャリアを引き抜く役割を果たすので、キャリアが引き抜かれるときの抵抗が小さく、引き抜かれるキャリアが移動する距離が短くなり、スイッチングロスが小さく、かつスイッチングスピードも速くなる。そして、第1の半導体領域の全体がターンオンとターンオフに使われるため、オン電圧の上昇を防ぐことができる。従って、従来トレードオフの関係にあったスイッチングロスの減減及びスイッチングスピードの高速化とオン電圧の低下を同時に実現することが

できるという効果がある。

【0061】また、請求項2記載の発明によれば、半導体装置が第2導電型の第2の半導体領域を備えて構成されており、前記第2の半導体領域は、半導体装置をターンオフするとき、第1の半導体領域に形成される反転層を通して注入されたキャリアを引き抜く役割を果たすので、キャリアが引き抜かれるときの抵抗が小さく、引き抜かれるキャリアが移動する距離が短くなるので、スイッチングロスが小さく、かつスイッチングスピードも速くなる。そして、第1の半導体領域の全体がターンオンとターンオフに使われるため、オン電圧の上昇を防ぐことができる。従って、従来トレードオフの関係にあったスイッチングロスの逓減及びスイッチングスピードの高速化とオン電圧の低下を同時に実現することができるという効果がある。さらに、凸部をより細く形成することができ、ターンオフスピードをさらに速くし、ターンオフロスをさらに少なくすることができるという効果がある。

【0062】また、請求項3記載の発明によれば、半導体装置が第2導電型の第3の半導体領域と第2導電型の第4の半導体領域とを備えて構成されており、前記第3及び第4の半導体領域は、半導体装置をターンオフするとき、第2の半導体領域に形成される反転層を通して注入されたキャリアを引き抜く役割を果たすので、キャリアが引き抜かれるときの抵抗が小さく、引き抜かれるキャリアが移動する距離が短くなるので、スイッチングロスが小さく、かつスイッチングスピードも速くなる。そして、第2の半導体領域の全体がターンオンとターンオフに使われるため、オン電圧の上昇を防ぐことができる。従って、従来トレードオフの関係にあったスイッチングロスの逓減及びスイッチングスピードの高速化とオン電圧の低下を同時に実現することができるという効果がある。

【0063】さらに、半導体装置が第2導電型の第1の半導体領域を備えており、前記第2導電型の第1の半導体領域と第1導電型の第1の半導体層の間で直接耐圧を保持するため半導体装置を薄くすることができるという効果がある。また、例えば第1の半導体領域の不純物濃度を調整することにより、第1及び第2の制御電極をバイアスしない状態で半導体装置をオフ状態にすることができるという効果がある。

【0064】また、請求項4記載の発明によれば、半導体装置が第2導電型の第3の半導体領域を備えて構成されており、前記第3の半導体領域は、半導体装置をターンオフするとき、第2の半導体領域に形成される反転層を通して注入されたキャリアを引き抜く役割を果たすので、キャリアが引き抜かれるときの抵抗が小さく、引き抜かれるキャリアが移動する距離が短くなるので、スイッチングロスが小さく、かつスイッチングスピードも速くなる。そして、第2の半導体領域の全体がターンオン

とターンオフに使われるため、オン電圧の上昇を防ぐことができる。従って、従来トレードオフの関係にあったスイッチングロスの逓減及びスイッチングスピードの高速化とオン電圧の低下を同時に実現することができるという効果がある。さらに、第1及び第2の制御電極間の間隔を細くすることができ、ターンオフスピードをさらに速くし、ターンオフロスをさらに少なくすることができるという効果がある。

【0065】さらに、半導体装置が第2導電型の第1の半導体領域を備えて構成されており、前記第2導電型の第1の半導体領域と第1導電型の第1の半導体層の間で直接耐圧を保持するため半導体装置を薄くすることができるという効果がある。また、例えば第1の半導体領域の不純物濃度を調整することにより、第1及び第2の制御電極をバイアスしない状態で半導体装置をオフ状態にすることができるという効果がある。

【0066】また、請求項5記載の半導体装置の製造方法によれば、第1の半導体領域の表面に第2導電型の第2の半導体領域を前記第1の絶縁膜に接して選択的に形成する工程と、第1の半導体領域の表面に第2導電型の第3の半導体領域を前記第2の絶縁膜に接して選択的に形成する工程とを備えて構成されており、第2及び第3の半導体領域を容易に形成することができ、この発明に係る半導体装置を容易に製造することができるという効果がある。

【0067】また、請求項6記載の半導体装置の製造方法によれば、第1の半導体領域の表面に選択的に第2導電型の不純物を拡散して同時に前記第2及び第3の半導体領域を形成する工程を備えて構成されており、第2及び第3の半導体領域を容易に形成することができ、この発明に係る半導体装置を容易に製造することができるという効果がある。

【図面の簡単な説明】

【図1】この発明の第1実施例による半導体装置の平面図である。

【図2】図1に示した半導体装置のY-Y断面図である。

【図3】この発明の第1実施例による半導体装置の電流阻止状態を示す断面図である。

【図4】この発明の第1実施例による半導体装置のターンオンの状態を示す断面図である。

【図5】この発明の第1実施例による半導体装置のターンオフの状態を示す断面図である。

【図6】この発明の第2実施例による半導体装置の断面図である。

【図7】この発明の第2実施例による半導体装置のターンオンの状態を示す断面図である。

【図8】この発明の第2実施例による半導体装置のターンオフの状態を示す断面図である。

【図9】この発明の第3実施例による半導体装置の断面

図である。

【図10】この発明の第4実施例による半導体装置の断面図である。

【図11】図10及び図1に示した半導体装置の電界の様子を示す図である。

【図12】この発明の第5実施例による半導体装置の断面図である。

【図13】この発明の第5実施例による他の半導体装置の断面図である。

【図14】この発明の第1実施例による他の半導体装置の断面図である。

【図15】この発明の第6実施例による半導体装置の断面図である。

【図16】図15に示した半導体装置のZ-Z斜視断面図である。

【図17】この発明の第6実施例と第2実施例の組み合わせによる半導体装置の断面図である。

【図18】この発明の第6実施例と第3実施例の組み合わせによる半導体装置の断面図である。

【図19】この発明の第6実施例と第4実施例の組み合わせによる半導体装置の断面図である。

【図20】この発明の第6実施例と第5実施例の組み合わせによる半導体装置の断面図である。

【図21】この発明の第6実施例と第5実施例の組み合わせによる他の半導体装置の断面図である。

【図22】この発明の第6実施例による他の半導体装置の断面図である。

【図23】この発明の半導体装置の製造工程を示す断面図である。

【図24】この発明の半導体装置の製造工程を示す断面図である。

【図25】この発明の半導体装置の製造工程を示す断面図である。

【図26】この発明の半導体装置の製造工程を示す断面図である。

*【図27】この発明の半導体装置の製造工程を示す断面図である。

【図28】この発明の半導体装置の製造工程を示す断面図である。

【図29】この発明の半導体装置の製造工程を示す断面図である。

【図30】従来の半導体装置の断面図である。

【図31】図30に示した半導体装置のX-X斜視断面図である。

10 【図32】従来の半導体装置の電流阻止状態を示す斜視断面図である。

【図33】従来の半導体装置のターンオンの状態を示す斜視断面図である。

【図34】従来の半導体装置のターンオフの状態を示す斜視断面図である。

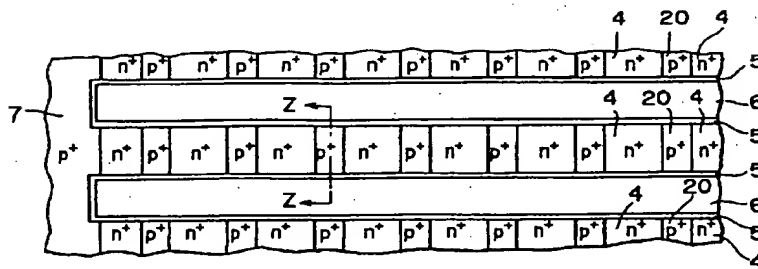
【図35】この発明の半導体装置の他の製造工程を示す断面図である。

【符号の説明】

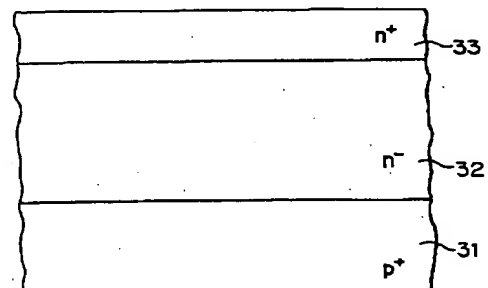
- 1 n⁻ エピタキシャル層
- 2 p⁺ 基板
- 3 凸部
- 4 n⁺ 拡散領域
- 5 絶縁膜
- 6 ゲート電極
- 7 p⁺ 拡散領域
- 8 絶縁膜
- 9 Al-Si 電極
- 10 金属電極
- 13 p⁺ 拡散領域
- 14 p⁺ 拡散領域
- 15 n⁺ 拡散領域
- 16 n⁺ 層
- 17 p 拡散領域
- 18 p⁻ 領域

*

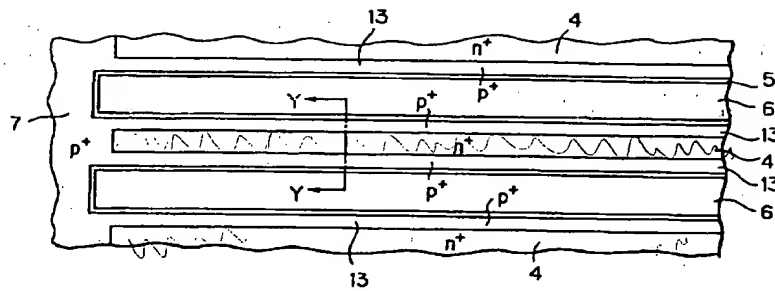
【図15】



【図23】

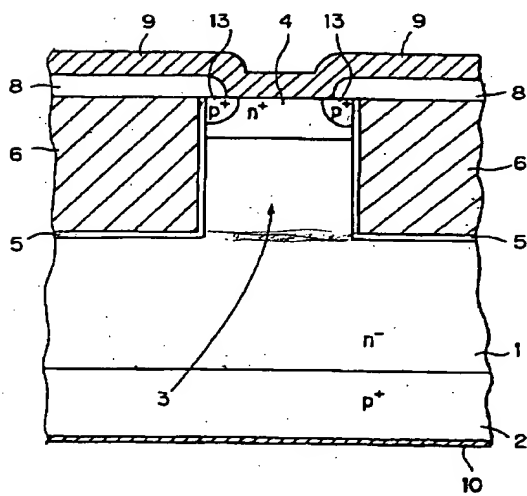


【図1】



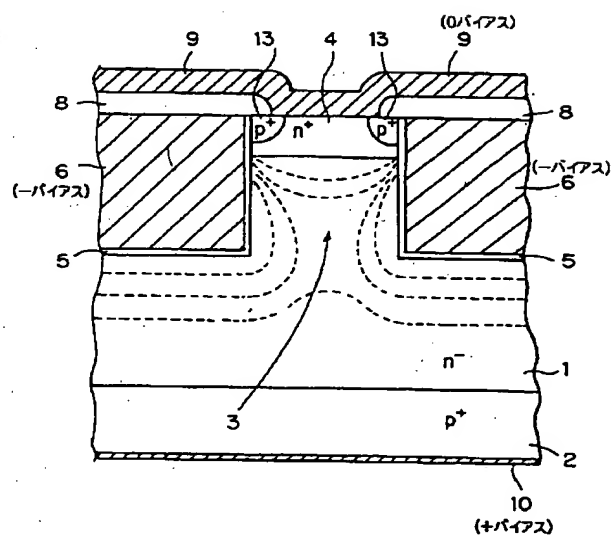
4: n^+ 拡散領域
5: 絶縁膜
6: ゲート電極
7: p^+ 拡散領域
13: p^+ 拡散領域

【図2】

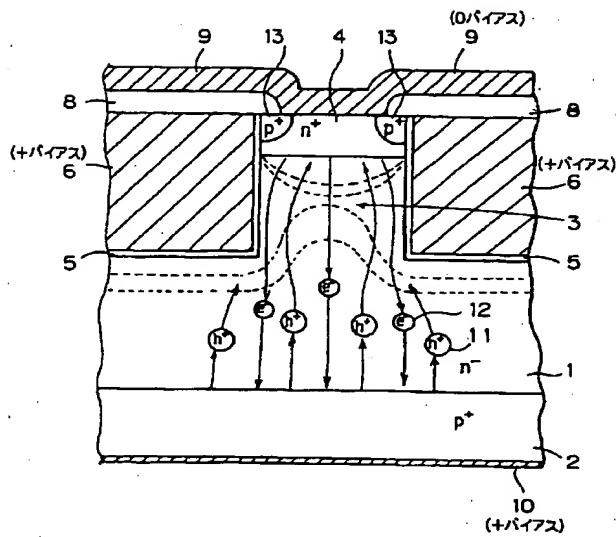


8: 絶縁膜
9: Al-Si電極
10: 金属電極

【図3】

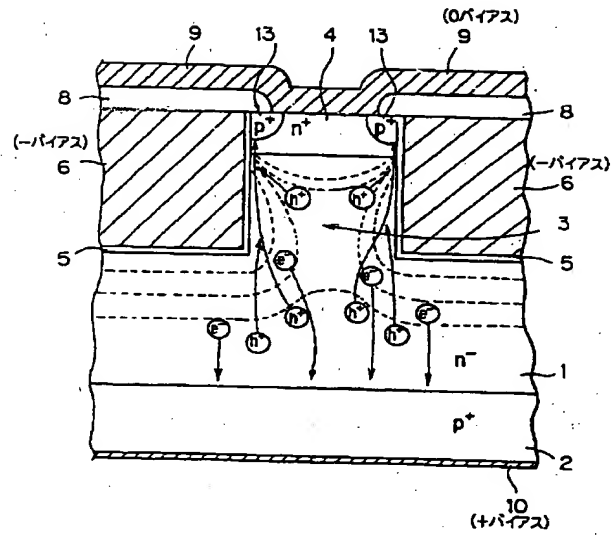


【図4】

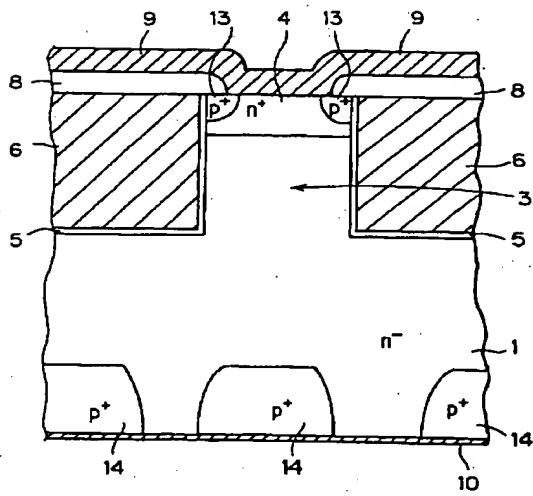


11:ホール
12:電子

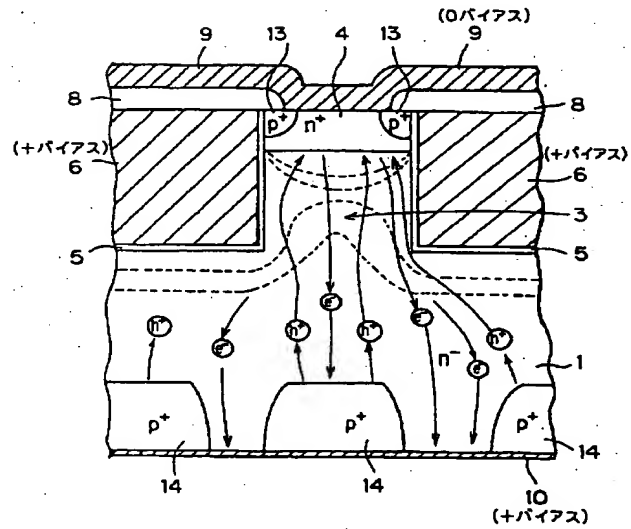
【図5】



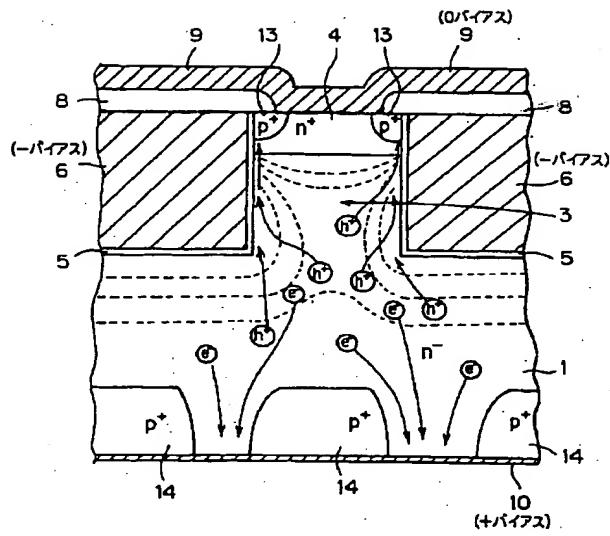
【図6】



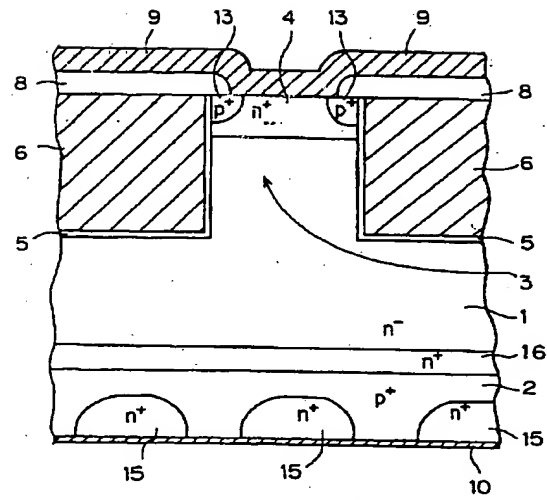
【図7】



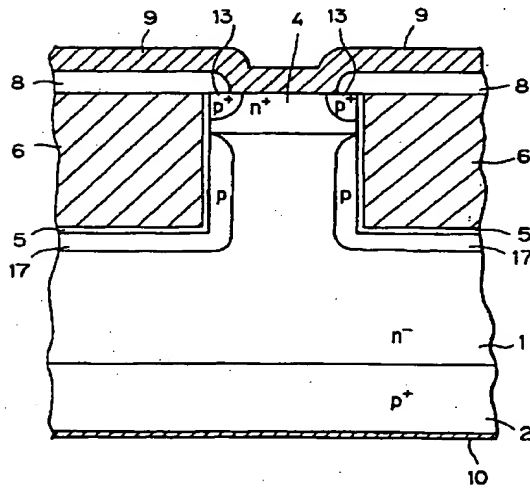
【図8】



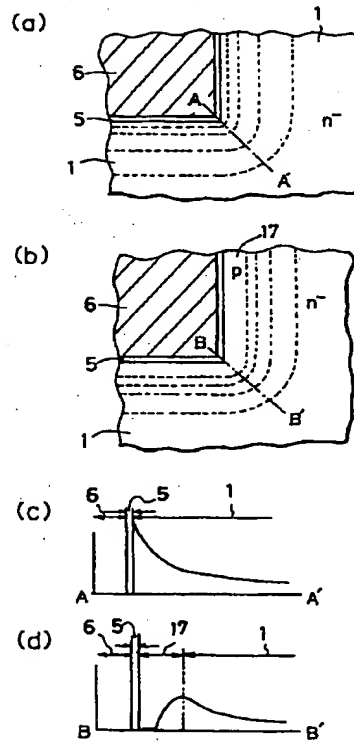
【図9】



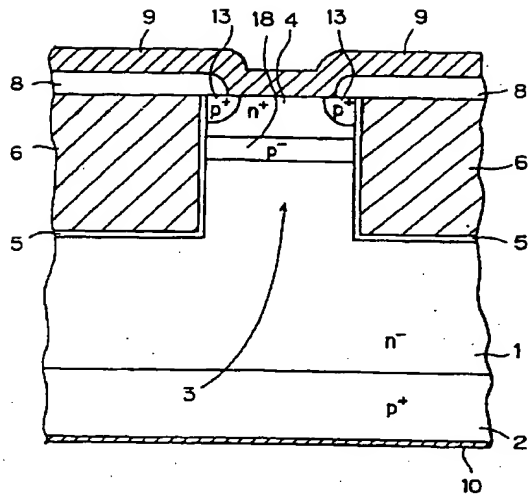
【図10】



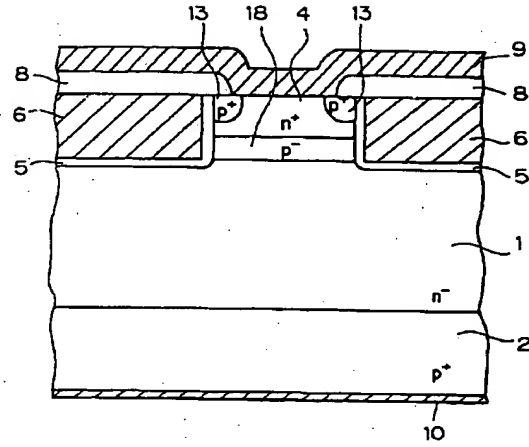
【図11】



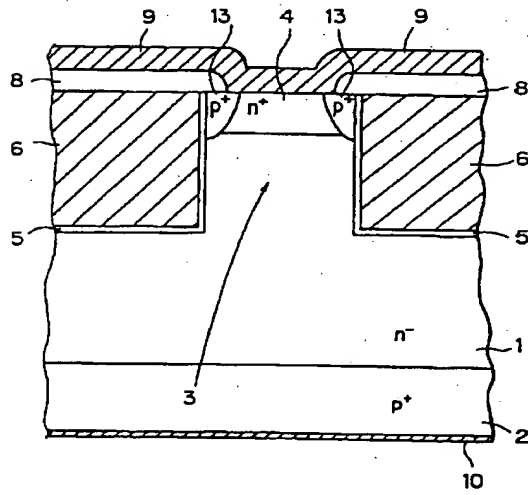
【図12】



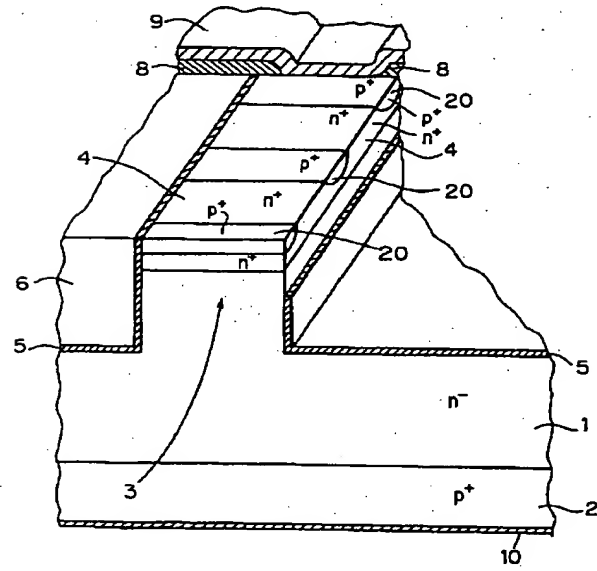
【図13】



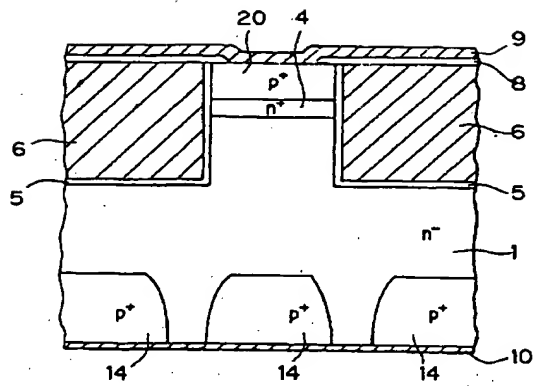
【図14】



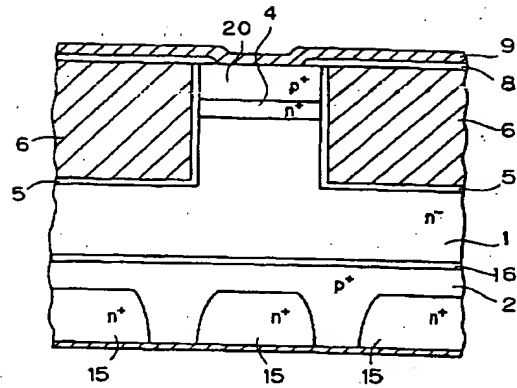
【図16】



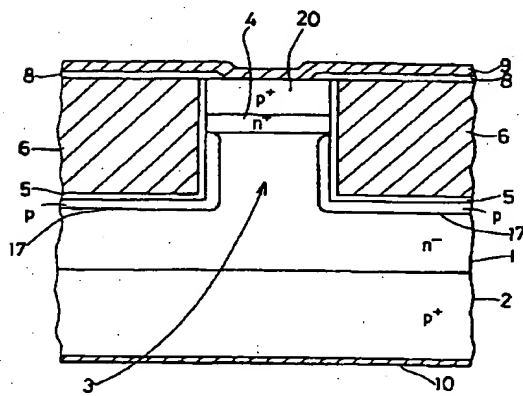
【図17】



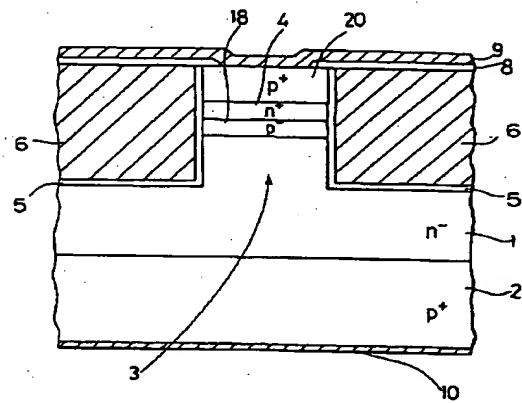
【図18】



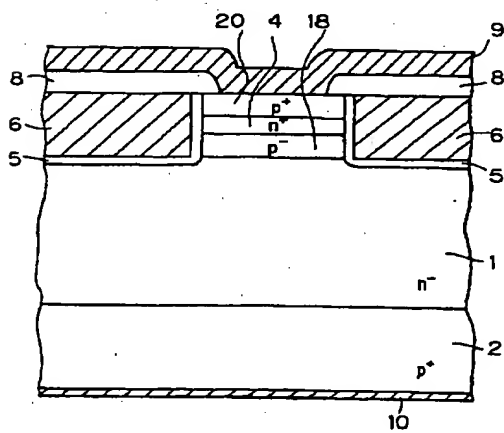
【図19】



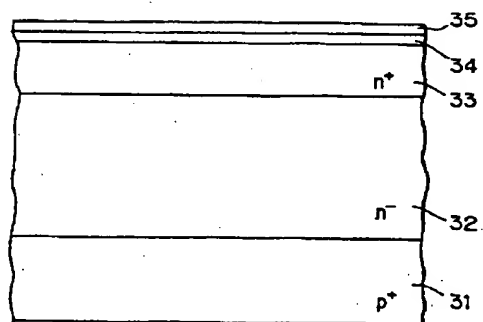
【図20】



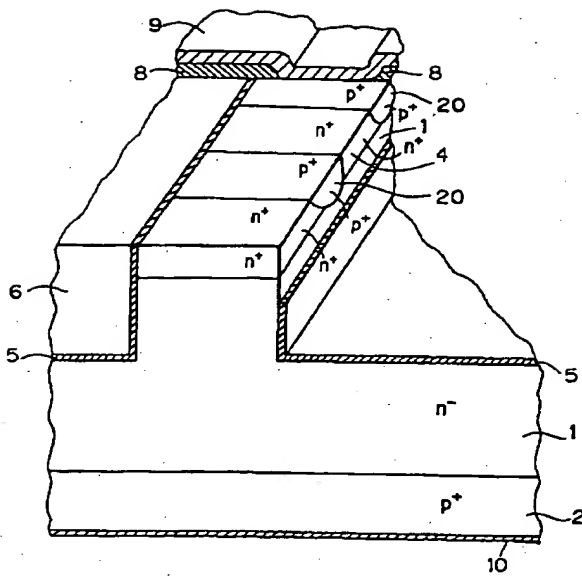
【図21】



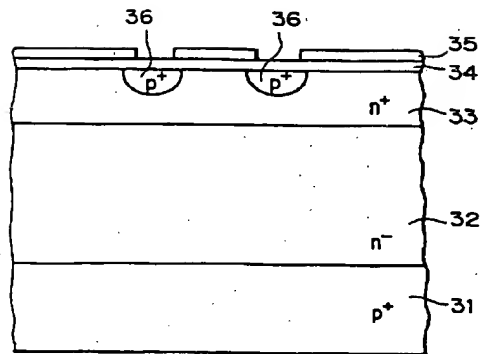
【図24】



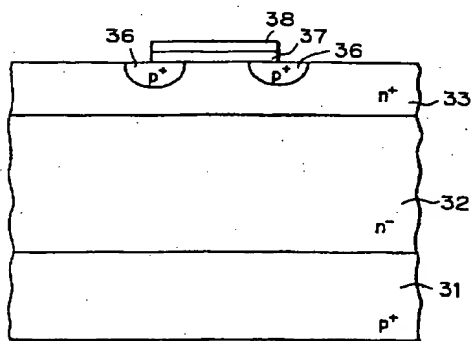
【図22】



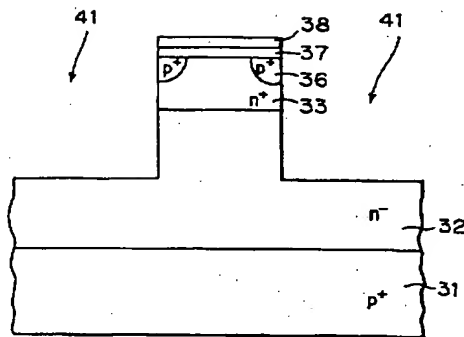
【図25】



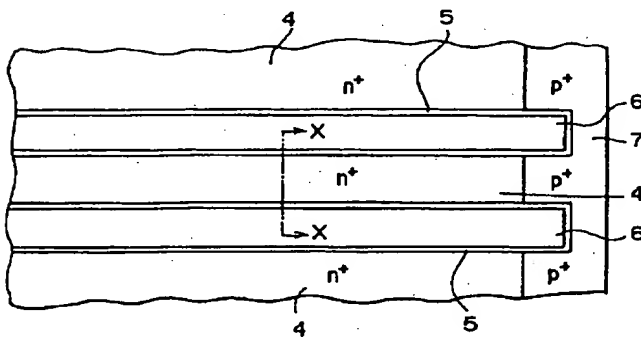
【図26】



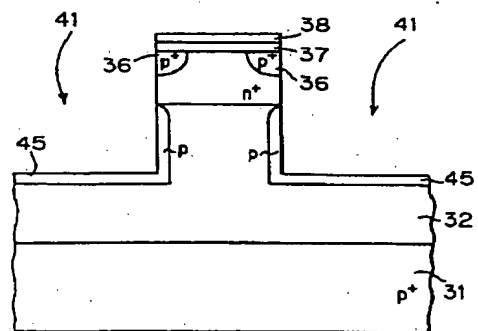
【図27】



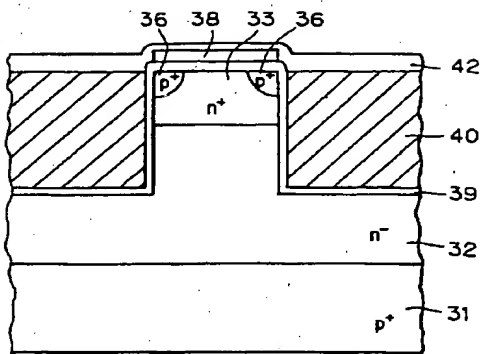
【図30】



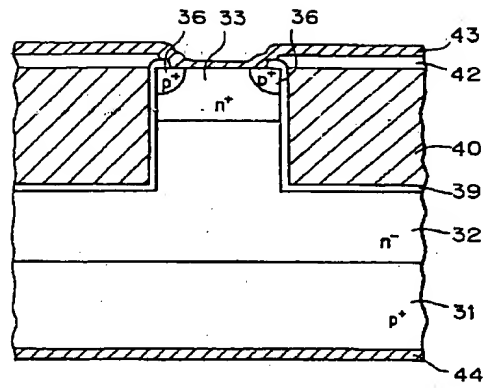
【図35】



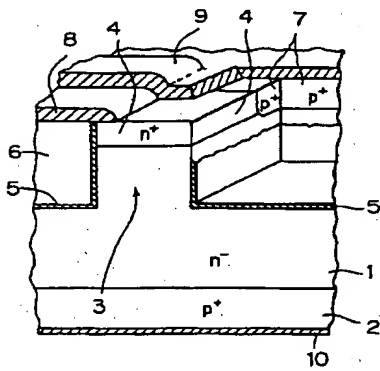
【図28】



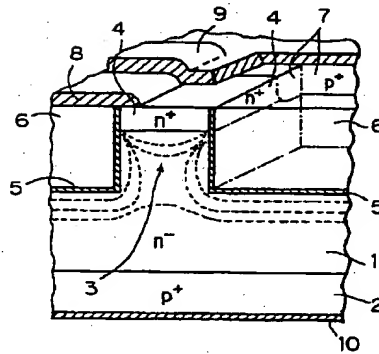
【図29】



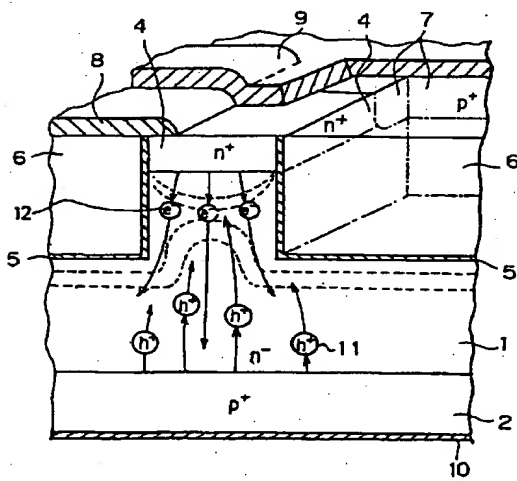
【図31】



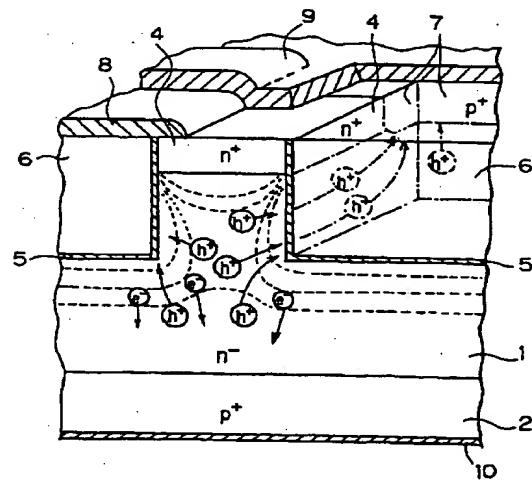
【図32】



【図33】



【図34】



【手続補正書】

【提出日】平成4年10月12日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】請求項3

【補正方法】変更

【補正内容】

【請求項3】 第1主面と第2主面とを有する第1導電型の第1の半導体層と、
 前記第1の半導体層の前記第1主面上に形成された第2導電型の第2の半導体層と、
 前記第1の半導体層の前記第2主面上に選択的に形成された第2導電型の第1の半導体領域と、
 前記第1の半導体領域の表面に選択的に形成された前記第1の半導体層より低抵抗の第1導電型の第2の半導体領域と、
 前記第1の半導体領域及び前記第2の半導体領域の一方側面に形成された第1の絶縁膜と、
 前記第1の絶縁膜上に形成された第1の制御電極と、
 前記一方側面に対向する前記第1及び第2の半導体領域の他方側面に形成された第2の絶縁膜と、
 前記第2の絶縁膜上に形成された第2の制御電極と、
 前記第2の半導体領域の表面に前記第1の絶縁膜に接して選択的に形成された第2導電型の第3の半導体領域と、
 前記第2の半導体領域の表面に前記第2の絶縁膜に接して選択的に形成された第2導電型の第4の半導体領域と、
 前記第1及び第2の制御電極とは独立し、前記第2、第3及び第4の半導体領域に接して形成された第1の主電極と、
 前記第2の半導体層に接して形成された第2の主電極と、
 を備えた半導体装置。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】請求項4

【補正方法】変更

【補正内容】

【請求項4】 第1主面と第2主面とを有する第1導電型の第1の半導体層と、
 前記第1の半導体層の前記第1主面上に形成された第2導電型の第2の半導体層と、
 前記第1の半導体層の前記第2主面上に選択的に形成された第2導電型の第1の半導体領域と、
 前記第1の半導体領域表面に選択的に形成された前記第1の半導体層より低抵抗の第1導電型の第2の半導体領域と、
 前記第1の半導体領域及び前記第2の半導体領域の一方側面に形成された第1の絶縁膜と、

前記第1の絶縁膜上に形成された第1の制御電極と、
 前記一方側面に対向する前記第1及び第2の半導体領域の他方側面に形成された第2の絶縁膜と、
 前記第2の絶縁膜上に形成された第2の制御電極と、
 前記第1及び第2の絶縁膜に共に接するように、前記第2の半導体領域表面に選択的に形成され、該第1及び第2の絶縁膜に沿って並んだ複数の独立した離散的な領域よりなる第2導電型の第3の半導体領域と、
 前記第1及び第2の制御電極とは独立し、前記第2及び第3の半導体領域に接して形成された第1の主電極と、
 前記第2の半導体層に接して形成された第2の主電極と、
 を備えた半導体装置。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0002

【補正方法】変更

【補正内容】

【0002】

【従来の技術】図30は従来の半導体装置の構造を示す平面図、図31は従来の半導体装置の構造を示す斜視断面図である。図31は図30におけるX-X斜視断面図であり、断面構造を分かりやすくするため制御電極等の一部を省いている。図30及び図31において、1はn⁻エピタキシャル層、2はp⁺基板、3はn⁻エピタキシャル層1の表面に形成された凸部、4はn⁻エピタキシャル層1の表面に形成された凸部3の上面に形成されたn⁺拡散領域、5は凸部3及びn⁺拡散領域4の側面に形成された絶縁膜、6は凸部3及びn⁺拡散領域4を挟んで絶縁膜5の上に形成された一対の制御電極、7はn⁺拡散領域4の終端部のn⁻エピタキシャル層1に形成されたp⁺拡散領域、8はp⁺拡散領域7の一部、n⁺拡散領域4の一部及び制御電極6の上に形成された絶縁膜、9はn⁺拡散領域4及びp⁺拡散領域7にコンタクトするように形成され他の部分とは絶縁膜8で分離されているAl-Si電極、10はp⁺基板2にコンタクトしている金属電極である。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0004

【補正方法】変更

【補正内容】

【0004】次に、電極9に対する制御電極6の電位を上げていくと、前記ポテンシャルバリアーは消失し、電極9から電極10に向かって電子12が流れ始める。これと同時にp⁺基板2からホール11が注入され、n⁻エピタキシャル層1で伝導度変調を起こす。図33に示すように、注入されたホール11は、n⁻エピタキシャル層1もしくはn⁺拡散領域4で再結合するか、または

p⁺ 拡散領域7に吸収される。このようにして、半導体装置がターンオンすることができる。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0012

【補正方法】変更

【補正内容】

【0012】また、第3の発明に係る半導体装置は、第1主面と第2主面とを有する第1導電型の第1の半導体層と、前記第1の半導体層の前記第1主面上に形成された第2導電型の第2の半導体層と、前記第1の半導体層の前記第2主面上に選択的に形成された第2導電型の第1の半導体領域と、前記第1の半導体領域の表面に選択的に形成された前記第1の半導体層より低抵抗の第1導電型の第2の半導体領域と、前記第1の半導体領域及び前記第2の半導体領域の一方側面に形成された第1の絶縁膜と、前記第1の絶縁膜上に形成された第1の制御電極と、前記一方側面に対向する前記第1及び第2の半導体領域の他方側面に形成された第2の絶縁膜と、前記第2の絶縁膜上に形成された第2の制御電極と、前記第2の半導体領域の表面に前記第1の絶縁膜に接して選択的に形成された第2導電型の第3の半導体領域と、前記第2の半導体領域の表面に前記第2の絶縁膜に接して選択的に形成された第2導電型の第4の半導体領域と、前記第1及び第2の制御電極とは独立し、前記第2、第3及び第4の半導体領域に接して形成された第1の主電極と、前記第2の半導体層に接して形成された第2の主電極とを備えて構成されている。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0013

【補正方法】変更

【補正内容】

【0013】また、第4の発明に係る半導体装置は、第1主面と第2主面とを有する第1導電型の第1の半導体層と、前記第1の半導体層の前記第1主面上に形成された第2導電型の第2の半導体層と、前記第1の半導体層の前記第2主面上に選択的に形成された第2導電型の第1の半導体領域と、前記第1の半導体領域表面に選択的に形成された前記第1の半導体層より低抵抗の第1導電型の第2の半導体領域と、前記第1の半導体領域及び前記第2の半導体領域の一方側面に形成された第1の絶縁膜と、前記第1の絶縁膜上に形成された第1の制御電極と、前記一方側面に対向する前記第1及び第2の半導体領域の他方側面に形成された第2の絶縁膜と、前記第2の絶縁膜上に形成された第2の制御電極と、前記第1及び第2の絶縁膜に共に接するように、前記第2の半導体領域表面に選択的に形成され、該第1及び第2の絶縁膜に沿って並んだ複数の独立した離散的な領域よりなる第2導電型の第3の半導体領域と、前記第1及び第2の制

御電極とは独立し、前記第2及び第3の半導体領域に接して形成された第1の主電極と、前記第2の半導体層に接して形成された第2の主電極とを備えて構成されている。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0024

【補正方法】変更

【補正内容】

【0024】

【実施例】以下、この発明の第1実施例について図1乃至図5を用いて説明する。図1及び図2はこの発明の第1実施例による半導体装置の構造を示す平面図及び断面図である。図において、1はn⁻エピタキシャル層、2はp⁺基板、3はn⁻エピタキシャル層1の表面に形成された凸部、4は凸部3の上面に形成されたn⁺拡散領域、5はn⁻エピタキシャル層1の凸部3の下面と左右の側面及びn⁺拡散領域4の左右の側面に形成された絶縁膜、6は凸部3の左右にある2つのゲート電極、8は絶縁膜、7はn⁺拡散領域4の終端部に設けられたp⁺拡散領域、13はn⁺拡散領域4の表面に絶縁膜5に接するように形成されたp⁺拡散領域、9はn⁺拡散領域4及びp⁺拡散領域13にコンタクトするように形成されたAl-Si電極、10はp⁺基板2にコンタクトしている金属電極である。なお、図1には、この発明の構造を分かりやすくするために電極9及び絶縁膜8を除いた平面図を示し、図2には、図1のY-Y断面図を、図1で省かれていた電極等も記載して示してある。

【手続補正8】

【補正対象書類名】明細書

【補正対象項目名】0033

【補正方法】変更

【補正内容】

【0033】次に、この発明の第3実施例について図9を用いて説明する。図9はこの発明の第3実施例による半導体装置の断面図である。図において、15はp⁺基板2の表面に形成されたn⁺領域、16はp⁺基板2上に形成されたn⁺半導体層である。そして、金属電極10は、p⁺基板2とn⁺領域15の両方にコンタクトしている。なお、他の第1実施例と同一符号は第1実施例と同一もしくは相当部分を示す。

【手続補正9】

【補正対象書類名】明細書

【補正対象項目名】0034

【補正方法】変更

【補正内容】

【0034】図9に示した半導体装置の電極9に対する電極10の電位を上げた状態で、電極9に対する制御電極6の電位を下げていくと、電極6の間のn⁻エピタキシャル層1の凸部3に、空乏化により電子のエネルギー

に対してポテンシャルバリアーが生じるため、電極9から電極10に向かって電子が流れなくなる。空乏層が n^+ 半導体層16に達している場合には、 n^+ 半導体層16は空乏層が p^+ 基板2に達するのを防ぐ機能を持つ。そして、他の実施例に n^+ 半導体層16を用いても同様の効果を奏する。このようにして電流阻止状態にすることができる。

【手続補正10】

【補正対象書類名】明細書

【補正対象項目名】0038

【補正方法】変更

【補正内容】

【0038】次に、この発明の第4実施例について図10を用いて説明する。図10はこの発明の第4実施例による半導体装置の断面図である。図において、17は絶縁膜5と n^- エピタキシャル層1との間に形成された p 拡散領域である。なお、他の第1実施例と同一符号は第1実施例と同一もしくは相当部分を示す。

【手続補正11】

【補正対象書類名】明細書

【補正対象項目名】0039

【補正方法】変更

【補正内容】

【0039】図10に示した半導体装置の電極9に対する電極10の電位を上げた状態で、電極9に対する制御電極6の電位を下げていくと、電極6の間の n^- エピタキシャル層1の凸部3に、空乏化により電子のエネルギーに対してポテンシャルバリアーが生じるため、電極9から電極10に向かって電子が流れなくなる。このようにして電流阻止状態にすることができる。このとき p 拡散領域17は絶縁膜5と n^- エピタキシャル層1の間の電界を緩和するので半導体装置がターンオフしたときの耐圧がより出やすくなる。この様子を図11に示す。図11(a)が p 拡散層17がない場合の制御電極6付近の等電位線、図11(b)が p 拡散層17がある場合の制御電極6付近の等電位線、図11(c)が p 拡散層17がない場合のA-A'に沿った電界の分布を示す図、図11(d)が p 拡散層17がある場合のB-B'に沿った電界の分布を示す図である。この図は理解を助けるための概略図である。そして、この図から分かるように制御電極6の深さを浅くしても耐圧が確保できるようになる。

【手続補正12】

【補正対象書類名】明細書

【補正対象項目名】0043

【補正方法】変更

【補正内容】

【0043】図12に示した半導体装置の電極9に対する電極10の電位を上げた状態で、電極9に対する制御電極6の電位を下げていくと、電極6の間の n^- エピタ

キシャル層1の凸部3に、空乏化により電子のエネルギーに対してポテンシャルバリアーが生じるため、電極9から電極10に向かって電子が流れなくなる。このようにして電流阻止状態にすることができる。このとき p^- 領域18は空乏層が n^+ 拡散領域4に達するのを防ぐ効果があるので、制御電極6の電圧をあまり下げる必要がなくなり、ノーマリーオフも可能である。つまり p^- 領域18の不純物濃度を上げた場合に、 p^- 領域18と n^- エピタキシャル層1の間に直接耐圧が保持できると、すなわちポテンシャルバリアーをつくらずに電流阻止状態にすることが可能となる。そして、 n^- エピタキシャル層1の表面に形成された凸部3をなくした例を図13に示す。このように半導体装置を薄く構成することができる。

【手続補正13】

【補正対象書類名】明細書

【補正対象項目名】0044

【補正方法】変更

【補正内容】

【0044】次に、電極9に対する制御電極6の電位を上げていくと、前記ポテンシャルバリアーは消失し、電極9から電極10に向かって電子が流れはじめる。この時、 p^- 領域18が完全に空乏化している場合は n^+ 拡散領域4と p^- 領域18の接合全体から電子の注入が起こる。一方、 p^- 領域18が完全に空乏化していない場合でも p^- 領域18の制御電極6に対面した部分が n^- 反転して、電子電流がこの n^- 反転層を通してながれることも可能である。これと同時に、 p^+ 基板2からホール11が注入され、 n^- エピタキシャル層1で伝導度変調を起こす。注入されたホール11は、ほとんど全て n^- エピタキシャル層1、 p^- 領域18もしくは n^+ 半導体領域4で再結合するので、十分に伝導度変調を起こすことができる。この構造の場合は、 $n p n p$ のサイリスタ構造になっているのでラッチ特性を示すことも考えられる。このようにして、半導体装置をターンオンすることができる。

【手続補正14】

【補正対象書類名】明細書

【補正対象項目名】0048

【補正方法】変更

【補正内容】

【0048】このように、第1実施例の半導体装置とは、 n^- 拡散領域4に形成された p^+ 拡散領域が異なっている。すなわち、第1実施例では、断面図(図2)の凸部3の左右に形成されている絶縁膜5に沿って形成された p^+ 拡散領域13であり、第6実施例では、断面図(図16)の凸部3の左右に形成されている絶縁膜5に共に接して形成された p^+ 拡散領域20である。しかし、動作及び効果については、第1実施例と基本的に同様であるが、第1実施例では凸部3の幅が電極9と p^+

拡散領域13とのコンタクトの余裕によって制限されるが、第6実施例ではコンタクトの余裕をみる必要がないので、凸部3をより細かく形成することが可能となる。このことによって、ターンオフ時のポテンシャルバリアの形成が容易になり、ターンオフスピードをさらに速くし、ターンオフロスをさらに少なくすることができる。

【手続補正15】

【補正対象書類名】明細書

【補正対象項目名】0052

【補正方法】変更

【補正内容】

【0052】次に、図23に示すように、 n^- エピタキシャル層32上にレジストを形成したのち、レジストをマスクとして n 型の不純物を注入し、レジスト除去後、アニールを行って、 n^+ 拡散領域33を形成する。

【手続補正16】

【補正対象書類名】明細書

【補正対象項目名】0060

【補正方法】変更

【補正内容】

【0060】

【発明の効果】以上のように、請求項1記載の発明によれば、半導体装置が第2導電型の第2の半導体領域と第2導電型の第3の半導体領域とを備えて構成されており、前記第2の半導体領域及び第3の半導体領域は、半

導体装置をターンオフするとき、第1の半導体領域に形成される反転層を通して注入されたキャリアを引き抜く役割を果たすので、キャリアが引き抜かれるときの抵抗が小さく、引き抜かれるキャリアが移動する距離が短くなり、スイッチングロスが小さく、かつスイッチングスピードも速くなる。そして、第1の半導体領域の全体がターンオンとターンオフに使われるため、オン電圧の上昇を防ぐことができる。従って、従来トレードオフの関係にあったスイッチングロスの減減及びスイッチングスピードの高速化とオン電圧の低下を同時に実現することができるという効果がある。

【手続補正17】

【補正対象書類名】明細書

【補正対象項目名】0063

【補正方法】変更

【補正内容】

【0063】さらに、半導体装置が第2導電型の第1の半導体領域を備えており、前記第2導電型の第1の半導体領域と第1導電型の第1の半導体層の間で直接耐圧を保持するため半導体装置を薄くすることができるという効果がある。また、例えば第1の半導体領域の不純物濃度を調整することにより、第1及び第2の制御電極をバイアスしない状態で半導体装置をオフ状態にすることができるという効果がある。